

特開平10-91127

(43) 公開日 平成10年(1998) 4月10日

| | | |
|----------------|-------|----------------------------|
| (51) Int. Cl.* | 識別記号 | F I |
| G 0 9 G 3/36 | | G 0 9 G 3/36 |
| 5/00 | | 5/00 |
| | 5 2 0 | X |
| 5/18 | | 5 2 0 V |
| H 0 4 N 5/66 | 1 0 2 | 5/18 |
| | | 5/66 |
| | | 1 0 2 B |
| | | 審査請求 有 請求項の数 2 F D (全 7 頁) |

(21) 出願番号 特願平8-267828

(22) 出願日 平成 8 年(1996) 9月18日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 清水 孝

東京都港区芝五丁目7番1号 日本電気株
式会社内

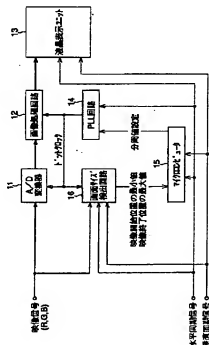
(74) 代理人 弁理士 小横川 洋二

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置において、接続したコンピュータの違いによるドットクロックのずれを自動的に最適な状態に調整する。

【解決手段】 画面サイズ検出回路16は、映像信号と無信号レベルを比較し、有効な映像信号の水平方向の開始位置および終了位置を検出する。その値をもとにマイクロコンピュータ15は画面の実測解像度を計算し、また、水平同期信号と垂直同期信号とから推定した信号源の水平解像度を理論解像度とし、実測解像度と理論解像度とを比較し、それらが一致するようにドットクロックを調整する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 陰極管用の水平同期信号、垂直同期信号および映像信号を用いて画像を表示する液晶表示装置において、同期信号に基づき映像信号に同期したドットクロックを再生するとともに前記ドットクロックの周波数を微調整することのできるPLL回路と、前記ドットクロックを使って水平方向の表示可能画面サイズを測定する画面サイズ検出手段と、水平同期信号および垂直同期信号から推定した画面サイズと前記画面サイズ検出手段により測定した画面サイズとの誤差から前記ドットクロックを適正な周波数に調整する手段とを設けたことを特徴とする液晶表示装置。

【請求項2】 前記画面サイズ検出手段は、水平同期信号の開始によりクリアされ以後ドットクロックをカウントするドットクロックカウンタと、映像信号が一定レベル以上の信号レベルであるかを判定する信号レベル比較回路と、1水平周期内で前記比較回路の出力により有効な映像信号が開始した時のドットクロックカウンタの値を保持する映像開始位置検出回路と、1水平周期内で前記比較回路の出力により有効な映像信号が終了した時のドットクロックカウンタの値を保持する映像終了位置検出回路と、1垂直周期内で映像開始位置の最小値を検出*

*する最小開始位置検出回路と、1垂直周期内で映像終了位置の最大値を検出する最大終了位置検出回路とから構成される請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、陰極管表示装置と差し換え可能にコンピュータに接続できるようにした液晶表示装置に関し、特に、映像信号の基準となるドットクロックが異なる信号源に対し、液晶表示装置側で再生したドットクロックの発振周波数を自動的に最適値に調整する機能をもった液晶表示装置に関する。

【0002】

【従来の技術】図3に、従来の液晶表示装置の構成を示す。通常コンピュータやワークステーションからは、水平同期信号と、垂直同期信号と、アナログの映像信号R、G、Bとが表示装置に入力される。信号源のコンピュータやワークステーションのドットクロックは、機種や解像度によって様々であり、例をあげると、次の表1

【0003】

【表1】

(kHz)

(Hz)

(MHz)

| 機種・解像度 | 水平周波数 | 垂直周波数 | ドットクロック |
|-----------------|--------|--------|---------|
| PC98 600×400 | 24.827 | 56.424 | 21.053 |
| IBM VGA 640×480 | 31.469 | 70.087 | 28.322 |
| MAC 832×624 | 49.735 | 74 | 57.283 |

【0004】従来の液晶表示装置では、マイクロコンピュータ35は水平同期信号および垂直同期信号を一定時間計測し、水平周波数および垂直周波数を計算し、表1のようなテーブルから、接続されているコンピュータの機種を推定し、そのコンピュータに対応したドットクロックを再生するようにPLL (Phase Locked Loop) 回路34を制御する。A/D変換器31は、映像信号をPLL回路34で再生したドットクロックでサンプリングし、デジタル信号に変換する。データ処理回路32はデジタル信号に変換された映像信号を液晶表示ユニット33で表示できるようにタイミング等を整える。

【0005】しかし、接続するコンピュータの機種や装置によって、ドットクロックが微妙に異なる場合がある。そのような場合、従来は、使用者が表示を目視して確認しながら、にじみや色ずれ、ゆらぎなどが無くなるようにスイッチなどでドットクロックの周波数を調整していた。

【0006】この手動調整を自動化した液晶表示装置として、特開平7-160222号公報に示す装置がある。この装置においては、接続したコンピュータから特※50

※定の調整用映像信号を入力し、1水平周期間1ドット単位でA/D変換した画像データが正しいか否かを判断し、ドットクロックの周波数を変化させながらすべて正しい画像データとなった時に適正なドットクロックとしている。

【0007】

【発明が解決しようとする課題】前記の如く、従来の液晶表示装置においては、映像信号の基準となるドットクロックの周波数が、コンピュータなどの映像信号源と、液晶表示装置とで微妙にずれていた場合、目視にてにじみやゆらぎがなくなるように、液晶表示装置側のドットクロックを手動で調整する必要がある。

【0008】また特開平7-160222号公報に示す装置においては、自動調整をこなってはいるが、コンピュータが特定の調整用映像信号を出力する必要がある。

【0009】そこで、本発明は、このような問題を解決するためのもので、コンピュータに接続してその映像信号を表示する際に、特定の調整用映像信号を用いることなくドットクロックの周波数を自動的に調整する液晶

3

表示装置を実現することを目的とする。

【0010】

【課題を解決するための手段】本発明の液晶表示装置は、図1に示すように、同期信号に基づき映像信号に同期したドットクロックを再生するとともにドットクロックの周波数を微調整することのできるPLL回路14と、ドットクロックを使って水平方向の表示可能な画面サイズを測定する画面サイズ検出手段16と、水平同期信号および垂直同期信号から推定した画面サイズと、画面サイズ検出手段により測定した画面サイズとの誤差から前記ドットクロックを適正な周波数に調整する手段15とを設けるようにした。

【0011】以上の構成により、特定の調整用映像信号を用いることなくドットクロックの周波数を自動的に調整することができる。

【0012】また、画面サイズ検出手段としては、一例として、図2に示すように、ドットクロックをカウントするドットクロックカウンタ21、映像信号と無信号レベルとを比較する信号レベル比較回路22と、1水平同期期間内で表示可能な映像信号の開始位置を検出する映像開始位置検出回路23および映像信号の終了位置を検出する映像終了位置検出回路24と、1垂直同期期間内で映像開始位置の最小値を検出する最小位置検出回路25および映像終了位置の最大値を検出する最大終了位置検出回路26を有する。

【0013】上記構成において、信号レベル比較回路22では、映像信号と無信号レベルを比較し、映像信号が無信号レベルより大きくなったときハイレベル、映像信号が無信号レベル以下のときローレベルを出力する。映像開始位置検出回路23は、映像開始位置として、1水平同期内で、水平同期信号が入力されてから信号レベル比較回路22の出力が最初にローレベルからハイレベルに変化するまでのドットクロックの数を計測する。映像終了位置検出回路24は、映像終了位置として、1水平同期内で、水平同期信号が入力されてから信号レベル比較回路22の出力が最後にハイレベルからローレベルに変化するまでのドットクロックの数を計測する。最小開始位置検出回路25は、1垂直同期内で、映像開始位置の最小値を計測する。最大終了位置検出回路26は、1垂直同期内で、映像終了位置の最大値を計測する。

【0014】マイクロコンピュータ15は得られた映像開始位置の最小値および映像終了位置の最大値から表示可能な画面サイズを計算し、別途水平同期信号と垂直同期信号の周波数より求めた画面サイズと一致するように、PLL回路14の分周値を設定することにより、ドットクロックを適正な周波数に自動調整する。

【0015】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の液晶表示装置の一例のブロック図である。従来例と同様、まず

4

マイクロコンピュータ15は水平同期信号および垂直同期信号を一定時間計測し、水平周波数および垂直周波数を計算し、前述の表1のようなテーブルから信号源すなわち接続されているコンピュータの機種を推定し、そのコンピュータに対応したドットクロックを再生するようにPLL回路14を制御する。

【0016】画面サイズ検出回路16はPLL回路14で再生したドットクロックを用いて、映像信号の内、表示可能な有効な映像信号が、水平同期信号から数えて何クロック目から開始して、何クロック目に終了するか検出し、それぞれ映像開始位置の最小値および映像終了位置の最大値としてマイクロコンピュータ15に出力する。

【0017】マイクロコンピュータ15は、映像終了位置の最大値から映像開始位置の最小値を引いて有効画面の水平方向の画面サイズすなわち水平解像度を計算し、この値と、先に水平同期信号と垂直同期信号から推定した信号源の水平解像度とを比較し、誤差が無くなるようにPLL回路を制御し、ドットクロックの周波数を調整する。

【0018】ドットクロックの周波数が適正な値に調整された後は、従来例と同様に、A/D変換器11は映像信号をPLL回路14で再生したドットクロックでサンプリングし、デジタル信号に変換する。

【0019】データ処理回路12は、デジタル信号に変換された映像信号を液晶表示ユニット13で表示できるようにタイミング等を整える。

【0020】図2は、画面サイズ検出回路16の構成を示すブロック図である。ドットクロックカウンタ21は水平同期信号の入力時にクリアされその外は常時ドットクロックをカウントしている。

【0021】信号レベル比較回路22は、常時映像信号が無信号レベルと比較し、映像信号が無信号レベルより大きい時すなわち表示可能な映像信号が入力されている時に出力をハイレベルにし、映像信号が無信号レベルより小さい時すなわち表示可能な映像信号が入力されていない時に出力をローレベルにする。

【0022】映像開始位置検出回路23は、水平同期信号が入力された後、最初に前記信号レベル比較回路22がローレベルからハイレベルになった時すなわち1水平同期内での映像開始位置におけるドットクロックカウンタ21の値を保持する。

【0023】映像終了位置検出回路24は、水平同期信号が入力された後、次の水平同期信号が入力される直前に信号レベル比較回路22がハイレベルからローレベルになった時すなわち1水平同期内での映像終了位置におけるドットクロックカウンタ21の値を保持する。

【0024】最小開始位置検出回路25は、水平同期毎に検出される映像開始位置の内、1垂直同期内で最も小さい値を検出し、映像開始位置の最小値として出力す

る。

【0025】最大終了位置検出回路26は、水平周期毎に検出される映像終了位置の内、1垂直周期内で最も大きい値を検出し、映像終了位置の最大値として出力する。映像終了位置の最大値から映像開始位置の最小値を引いた値が水平方向の画面サイズとなる。

【0026】図4にドットクロック調整時のマイクロコンピュータ15の処理を示す。まずマイクロコンピュータ15は、映像終了位置の最大値から映像開始位置の最小値を引いて実測解像度とする(処理41)。次に、水平同期信号と垂直同期信号とから推定した信号源の水平解像度を理論解像度とし、前記実測解像度と比較し、一致すれば処理を完了し、不一致ならば処理43を実行する(処理42)。

【0027】処理43では理論解像度と実測解像度の比でドットクロック周波数を調整する。たとえば、水平同期信号と垂直同期信号から推定した信号源の理論解像度が640ドットで、ドットクロック周波数が31.5MHzであり、映像終了位置の最大値が800クロックで映像開始位置の最小値が156クロックであったとすると、実測解像度は644ドットとなる。本来640ドットであるべき有効な映像データが645ドット検出されたのはドットクロックの周波数が高すぎたためであるので、処理43の計算にしたがって、 $31.5 \times (640/645) = 31.3\text{MHz}$ となるようにPLL回路14を制御する。

【0028】次に、画面サイズ検出回路16のより詳細な構成を図5に示し、その動作を図6の波形図を用いて説明する。

【0029】いま、図6に示すような水平同期信号61および映像信号62が入力された場合、ドットクロックカウンタ51は、水平同期信号61のロー期間でクリアされハイ期間でドットクロックをカウントしている。また、信号レベル比較回路52は、映像信号62と無信号レベルとを比較し、映像信号が大きい時ハイレベル、小さい時ローレベルの信号63を出力する。

【0030】すると、アンド(AND)回路531、フリップフロップ(F/F)回路532の出力は、それぞれ信号64、65のようになるので、ラッチ533はフリップフロップ回路532の出力の立ち上がり、すなわち映像開始位置のドットクロックカウンタ51の値を保持する。

【0031】またノット(NOT)回路541の出力66は、信号レベル比較回路52の出力63を反転した信

号となり、ノット回路543の出力67は水平同期信号61を反転した信号となる。ラッチ542は、信号66の立ち上がりでドットクロックカウンタ51の値を保持し、ラッチ544は信号67の立ち上がりでラッチ542の値を保持するので、ラッチ544には映像終了位置のドットクロックカウンタ51の値が保持されていることになる。

【0032】デジタルコンパレータ551は、水平周期毎にラッチ533から入力される映像開始位置とラッチ552の値とを比べてラッチ533の値が小さい時にクロックを出力する。ラッチ552は垂直同期信号入力時に最大値を入力され、デジタルコンパレータ551からクロックが出力された時すなわち保持していた値よりもラッチ533の値の方が小さい場合、ラッチ533の値を保持する。1垂直周期期間繰り返すことにより映像開始位置の最小値がラッチ552に保持される。

【0033】デジタルコンパレータ561は、水平周期毎にラッチ544から入力される映像終了位置とラッチ562の値とを比べてラッチ544の値が大きい時にクロックを出力する。ラッチ562は、垂直同期信号入力時に最小値を入力され、デジタルコンパレータ561からクロックが出力された時すなわち保持していた値よりもラッチ544の値の方が大きい場合、ラッチ544の値を保持する。1垂直周期期間繰り返すことにより映像開始位置の最大値がラッチ562に保持される。

【0034】

【発明の効果】以上述べたように、本発明によれば、ユーザがドットクロックの周波数のずれによるにじみや色ずれ、ゆがみなどを手動で調整する必要がなく、また、特定の調整用映像信号を用いることなく、自動的に最適な表示に調整することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施形態のブロック図。

【図2】画面サイズ検出回路のブロック図。

【図3】従来の液晶表示装置を示すブロック図。

【図4】ドットクロック調整時のマイクロコンピュータの処理フロー図。

【図5】画面サイズ検出回路の詳細なブロック図。

【図6】画面サイズ検出回路の動作を説明する波形図。

【符号の説明】

15 マイクロコンピュータ

16 画面サイズ検出回路

Figure 1 is a block diagram of the image processing system. The diagram shows the flow of image signals (R, G, B) through an A/D converter (11), an image processing circuit (12), and a PLL circuit (14) to a liquid crystal display unit (13). It also includes a microcomputer (15) that receives horizontal and vertical sync signals and provides feedback to the PLL circuit and the image processing circuit. A feedback loop (16) connects the image processing circuit back to the A/D converter.

[illegible]

```

graph TD
    Start([ドットクロックの調整開始]) --> Step41[実測解像度－映像終了位置の最大値－映像開始位置の最小値]
    Step41 --> Step42{理論解像度－実測解像度？}
    Step42 -- 一致 --> End([ドットクロックの調整完了])
    Step42 -- 不一致 --> Step43[PLL回路を制御  
ドットクロック周波数←ドットクロック周波数×(理論解像度／実測解像度)]
    Step43 --> Step42

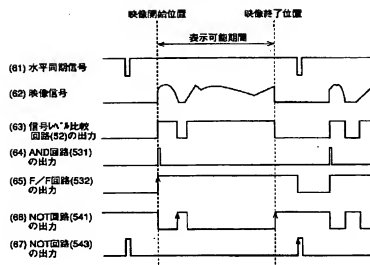
```

Figure 1 is a block diagram of a video signal processing system. It includes the following components and connections:

- Input Signals:**
 - 映像信号 (R,G,B) (Video signal (R,G,B))
 - 水平同期信号 (Horizontal sync signal)
 - 垂直同期信号 (Vertical sync signal)
- Block 31:** A/D変換器 (A/D converter). It receives the video signal and outputs to Block 32.
- Block 32:** F-θ処理回路 (F-θ processing circuit). It receives data from Block 31 and Block 35, and outputs to Block 33.
- Block 33:** 液晶表示ユニット (Liquid crystal display unit). It receives signals from Block 32 and Block 34.
- Block 34:** PLL回路 (PLL circuit). It receives a 分周値設定 (Dividing value setting) signal and outputs to Block 33.
- Block 35:** マイクロコンピュータ (Microcomputer). It receives horizontal and vertical sync signals and outputs to Block 32.

Figure 1 is a block diagram of a video signal processing circuit. The diagram shows the flow of video signals from input to output, including horizontal synchronization signals, video signals, and position signals. Key components include comparators (52, 53, 54), latches (51, 53, 54, 55, 56), and buffers (57, 58). The circuit is divided into four main sections: '映像開始位置検出回路' (Video start position detection circuit), '映像終了位置検出回路' (Video end position detection circuit), '最小開始位置検出回路' (Minimum start position detection circuit), and '最大終了位置検出回路' (Maximum end position detection circuit). The input signals are 'ドットクロック' (Dot clock) and '水平同期信号' (Horizontal sync signal). The output signals are '映像開始位置' (Video start position), '映像終了位置' (Video end position), '最小開始位置' (Minimum start position), and '最大終了位置' (Maximum end position).

【図6】



[0007]

[Problem(s) to be Solved by the Invention] When the frequency of a dot clock which serves as criteria of a video signal in the conventional liquid crystal display is delicately shifted with sources of a video signal, such as a computer, and a liquid crystal display like the above, it is necessary to adjust the dot clock by the side of a liquid crystal display manually so that a blot and fluctuation may be lost visually.

[0008] Moreover, in the equipment shown in JP,7-160222,A, although regulating-ization is achieved, a computer needs to output the specific video signal for adjustment.

[0009] Then, this invention is for solving such a trouble, and in case it connects with a computer and it displays the video signal, it aims at realizing the liquid crystal display which adjusts the frequency of a dot clock automatically, without using the specific video signal for adjustment.

[0010]

[Means for Solving the Problem] The liquid crystal display of this invention established a means 15 adjusted said dot clock to a proper frequency from the error of the PLL circuit 14 which can tune the frequency of a dot clock finely while reproducing the dot clock which synchronized with the video signal based on the synchronizing signal, as shown in drawing 1, a screen size detection means 16 measure the screen size in which a horizontal display is possible using a dot clock, the screen size presumed from the Horizontal Synchronizing signal and the Vertical Synchronizing signal, and the screen size measured with the screen size detection means.

[0011] By the above configuration, the frequency of a dot clock can be adjusted automatically, without using the specific video signal for adjustment.

[0012] Moreover, as a screen size detection means, as an example, as shown in drawing 2. The dot clock counter 21 which counts a dot clock, and the signal level comparator circuit 22 which compares a video signal with non-signal level, The image termination location detector 24 which detects the image starting position detector 23 which detects the starting position of the video signal which can be displayed within 1 horizontal synchronization period, and the termination location of a video signal, It has the maximum termination location detector 26 which detects the maximum of the minimum location detector 25 which detects the minimum value of an image starting position within 1 vertical-synchronization period, and an image termination location.

[0013] In the above-mentioned configuration, a video signal is compared with non-signal level, and when a video signal becomes larger than non-signal level and high level and a video signal are below non-signal level, a low level is outputted in the signal level comparator circuit 22. The image starting position detector 23 measures the number of dot clocks after a horizontal synchronization signal is inputted until the output of the signal level comparator circuit 22 changes from a low level high-level first within 1 level period as an image starting position. The image termination location detector 24 measures the number of dot clocks after a Horizontal Synchronizing signal is inputted until the output of the signal level comparator circuit 22 finally changes from high level to a low level within 1 level period as an image termination location. The minimum starting position detector 25 measures the minimum value of an image starting position within 1 perpendicular period. The maximum termination location detector 26 measures the maximum of an image termination location within 1 perpendicular period.

[0014] A microcomputer 15 carries out regulating automatically of the dot clock to a proper frequency by setting up the dividing value of the PLL circuit 14 so that the screen size which can be displayed from the minimum value of the obtained image starting position and the maximum of an image termination location may be calculated and it may be in agreement with the screen size for which it asked from the frequency of a Horizontal Synchronizing signal and a Vertical Synchronizing signal separately.

[0015]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing 1 is the block diagram of an example of the liquid crystal display of this invention. Like the conventional example, first, a microcomputer 15 carries out fixed time amount measurement of a Horizontal Synchronizing signal and the Vertical Synchronizing signal, calculates horizontal frequency and a perpendicular frequency, presumes the model of the source of a signal, i.e., computer connected, from a table as shown in the above-mentioned table 1, and controls the PLL circuit 14 to reproduce the dot clock corresponding to the computer.

[0016] Using the dot clock reproduced in the PLL circuit 14, the effective video signal among video signals which can be displayed counts from a Horizontal Synchronizing signal, begins from what clock eye, detects to what clock eye it ends, and outputs the screen size detector 16 to a microcomputer 15 as the minimum value of an image starting position, and maximum of an image termination location, respectively.

[0017] A microcomputer 15 calculates by lengthening the minimum value of an image starting position from the maximum of an image termination location, horizontal screen size, i.e., horizontal resolution, of a usual picture area, measures this value and the horizontal resolution of the source of a signal previously presumed from the Horizontal Synchronizing signal and the Vertical Synchronizing signal, it controls a PLL circuit so that an error is lost, and it adjusts the frequency of a dot clock.

[0018] After the frequency of a dot clock is adjusted to a proper value, like the conventional example, A/D converter 11 is sampled by the dot clock which reproduced the video signal in the PLL circuit 14, and is changed into a digital signal.

[0019] The data-processing circuit 12 prepares timing etc. so that the video signal changed into the digital signal can be displayed in the liquid crystal display unit 13.

[0020] Drawing 2 is the block diagram showing the configuration of the screen size detector 16. The dot clock counter 21 was cleared at the time of the input of a Horizontal Synchronizing signal, and the outside of it has always counted the dot clock.

[0021] The signal level comparator circuit 22 makes an output high-level, when a video signal is larger, than non-signal level, namely, when the video signal is always inputted into the video signal which can be displayed as compared with non-signal level, and when a video signal is smaller than non-signal level (i.e., when the video signal which can be displayed is not inputted), it makes an output a low level.

[0022] After a Horizontal Synchronizing signal is inputted, the image starting position detector 23 holds the value of the dot clock counter 21 in the image starting position within 1 level period, when said signal level comparator circuit 22 becomes high-level from a low level at the beginning.

[0023] After a Horizontal Synchronizing signal is inputted, the image termination location detector 24 holds the value of the dot clock counter 21 in the image termination location within 1 level period, when the signal level comparator circuit 22 is set to a low level from high level just before the following Horizontal Synchronizing signal is inputted.

[0024] Among the image starting positions detected for every level period, the minimum starting position detector 25 detects the smallest value within 1 perpendicular period, and outputs it as the minimum value of an image starting position.

[0025] Among the image termination locations detected for every level period, the maximum termination location detector 26 detects the largest value within 1 perpendicular period, and outputs it as maximum of an image termination location. The value which lengthened the minimum value of an image starting position serves as a horizontal screen size from the maximum of an image termination location.

[0026] Processing of the microcomputer 15 at the time of dot clock adjustment is shown in drawing 4. First, a microcomputer 15 lengthens the minimum value of an image starting position from the maximum of an image termination location, and makes it observation resolution (processing 41). Next, horizontal resolution of the source of a signal presumed from the Horizontal Synchronizing signal and the Vertical Synchronizing signal is made into theoretical resolution, as compared with said observation resolution, if in agreement, processing will be completed, and processing 43 will be performed if inharmonious (processing 42).

[0027] Processing 43 adjusts a dot clock frequency by the ratio of theoretical resolution and observation resolution. For example, the theoretical resolution of the source of a signal presumed from the Horizontal Synchronizing signal and the Vertical Synchronizing signal is [a dot clock frequency] 31.5MHz in 640 dots, and with 800 clocks, as for observation resolution, the minimum value of an image starting position will become 644 dots, supposing the maximums of an image termination location are 156 clocks. Because the frequency of a dot clock was too high, since 645 dots of effective image data whose number should be 640 essentially were detected, according to count of processing 43, the PLL circuit 14 is controlled to be set to $31.5 \times (640/645) = 31.3\text{MHz}$.

[0028] Next, the more detailed configuration of the screen size detector 16 is shown in drawing 5, and

the actuation is explained using the wave form chart of drawing 6.

[0029] When Horizontal Synchronizing signal 61 and a video signal 62 as shown in drawing 6 are inputted now, the dot clock counter 51 is cleared in the low period of Horizontal Synchronizing signal 61, and has counted the dot clock in the high period. Moreover, the signal level comparator circuit 52 compares a video signal 62 with non-signal level, and high level and when small [a video signal is large, and], it outputs the signal 63 of a low level.

[0030] Since the output of a circuit 531 and the flip-flop (F/F) circuit 532 will become like signals 64 and 65, respectively if it carries out and (AND), latch 533 holds the value of the standup 51 of the output of a flip-flop circuit 532, i.e., the dot clock counter of an image starting position.

[0031] Moreover, the output 66 of the knot (NOT) circuit 541 serves as a signal which reversed the output 63 of the signal level comparator circuit 52, and the output 67 of NOT circuit 543 serves as a signal which reversed Horizontal Synchronizing signal 61. Since latch 542 holds the value of the dot clock counter 51 in the standup of a signal 66 and latch 544 holds latch's 542 value in the standup of a signal 67, the value of the dot clock counter 51 of an image termination location will be held at the latch 544.

[0032] A digital comparator 551 compares with latch's 552 value the image starting position inputted by latch 533 for every level period, and when latch's 533 value is small, it outputs a clock. Maximum is inputted into latch 552 at the time of a Vertical Synchronizing signal input, and when latch's 533 value is smaller than the value to which the clock was outputted from the digital comparator 551 and which was held at the time [the value], he holds latch's 533 value. The minimum value of an image starting position is held by repeating during 1 perpendicular period at latch 552.

[0033] A digital comparator 561 compares with latch's 562 value the image termination location inputted by latch 544 for every level period, and when latch's 544 value is large, it outputs a clock. The minimum value is inputted into latch 562 at the time of a Vertical Synchronizing signal input, and when latch's 544 value is larger than the value to which the clock was outputted from the digital comparator 561 and which was held at the time [the value], he holds latch's 544 value. The maximum of an image starting position is held by repeating during 1 perpendicular period at latch 562.

[0034]

[Effect of the Invention] It can adjust to the optimal display automatically, without according to this invention, a user's adjusting neither the blot by gap of the frequency of a dot clock, nor a color gap, distortion, etc. manually, and using the specific video signal for adjustment, as stated above.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display which displays an image using the Horizontal Synchronizing signal, Vertical Synchronizing signal, and video signal for cathode-ray tubes The PLL circuit which can tune the frequency of said dot clock finely while reproducing the dot clock which synchronized with the video signal based on the synchronizing signal, A screen size detection means to measure the screen size in which a horizontal display is possible using said dot clock, The liquid crystal display characterized by establishing a means to adjust said dot clock to a proper frequency from the error of the screen size presumed from the Horizontal Synchronizing signal and the Vertical Synchronizing signal, and the screen size measured with said screen size detection means.

[Claim 2] The dot clock counter which said screen size detection means is cleared by initiation of a Horizontal Synchronizing signal, and counts a dot clock henceforth, The signal level comparator circuit which judges whether a video signal is the signal level more than fixed level, The image starting position detector holding the value of a dot clock counter when an effective video signal begins with the output of said comparator circuit within 1 level period, The image termination location detector holding the value of a dot clock counter when an effective video signal is completed with the output of said comparator circuit within 1 level period, The liquid crystal display according to claim 1 which consists of a minimum starting position detector which detects the minimum value of an image starting position within 1 perpendicular period, and a maximum termination location detector which detects the maximum of an image termination location within 1 perpendicular period.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.